

高速差動 ADC ドライバの設計についての考察

by John Ardizzone and Jonathan Pearson

はじめに

ほとんどの最新の高性能 ADC は差動入力を使用して、同相ノイズと干渉を除去し、ダイナミック・レンジをファクタ 2 増大し、平衡した信号送信により全体の性能を改善しています。差動入力 ADC はシングル・エンド入力信号も入力可能ですが、やはり入力信号が差動の時に最適な特性が得られます。ADC ドライバ（このような信号を出力するためにしばしば特別に開発された回路。）は振幅スケールリング、シングル・エンド to 差動入力変換、バッファ・アンプ、同相オフセット調整、フィルタを含む多数の重要な機能を実行します。AD8138 の紹介以来、差動 ADC ドライバはデータ・アクウィジション・システムで必要不可欠な信号処理部品になりました。

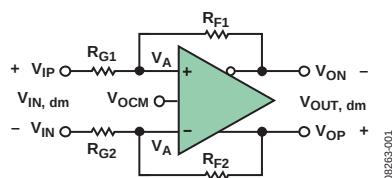


図 1. 差動アンプ

基本的な完璧に差動の電圧フィードバック ADC ドライバを図 1 に示します。従来のオペアンプ帰還回路とは 2 つの点で違いがある事がわかります。差動 ADC ドライバには新たに出力端子 (V_{ON}) と入力端子 (V_{OCM}) が追加されています。これらの端子は差動入力の ADC に信号をインターフェースする時非常に便利です。

差動 ADC ドライバはシングル・エンド出力の代わりに、 V_{OCM} 基準に V_{OP} と V_{ON} の間で平衡な差動出力を生じます。

(P は正を、N は負を表します。) V_{OCM} 入力端子は出力同相電圧をコントロールします。入出力信号が規定範囲内である限り、出力同相電圧は V_{OCM} 入力に印加された電圧に等しくなります。負帰還と高オープンループ・ゲインにより、アンプ入力端子電圧の V_{A+} と V_{A-} は基本的に等しくなります。

今後の説明のために、いくつかの定義を順に説明します。入力信号が平衡であれば、 V_{IP} と V_{IN} は通常 同相基準電圧を基準にして振幅は同じで位相が反対になります。入力がシングル・エンドの場合は、一方の入力が固定電圧で他方がその電圧を基準に変化します。いずれの場合も、入力信号は $V_{IP} - V_{IN}$ として規定されます。

差動モード入力電圧、 $V_{IN,dm}$ と同相入力電圧、 $V_{IN,cm}$ は式 1 と式 2 で規定されます。

$$V_{IN,dm} = V_{IP} - V_{IN} \quad (1)$$

$$V_{IN,cm} = \frac{V_{IP} + V_{IN}}{2} \quad (2)$$

この同相の定義は入力が平衡の時には直感的に理解できませんが、入力がシングル・エンドでも有効です。

出力も又差動モードと同相モードがあり、式 3 と式 4 で規定されます。

$$V_{OUT,dm} = V_{OP} - V_{ON} \quad (3)$$

$$V_{OUT,cm} = \frac{V_{OP} + V_{ON}}{2} \quad (4)$$

実際の出力同相モード電圧 $V_{OUT,cm}$ と (出力同相レベルを設定する) V_{OCM} 入力端子との間の差に注意してください。

差動 ADC ドライバの解析は従来のオペアンプの解析よりもかなり複雑です。代数を簡略化するために式 5、式 6 で与えられたように 2 つの帰還係数 β_1 、 β_2 を定義すると便利です。

$$\beta_1 = \frac{R_{G1}}{R_{F1} + R_{G1}} \quad (5)$$

$$\beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}} \quad (6)$$

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに	1	ノイズ	7
改定履歴	2	電源電圧.....	9
ADC ドライバに対する入力の終端	3	高調波歪み	10
入力同相電圧範囲(ICMVR)	5	帯域とスルーレート.....	11
入力結合および出力結合 : AC 又は DC	6	安定性	11
出力振幅	7	PC 基板レイアウト.....	12

改訂履歴

11/09—Revision 0:初版

ほとんどの ADC ドライバでは $\beta_1 = \beta_2$ です。しかしベータのミスマッチが性能にどのように影響するかについて理解するのに、 V_{IP} , V_{IN} , V_{OCM} , β_1 , β_2 の項をもつ $V_{OUT, dm}$ の一般的な閉ループ公式は役に立ちます。図 7 に示す $V_{OUT, dm}$ の式にはアンプの有限で周波数に依存するオープンループ電圧ゲイン、 $A(s)$ が含まれています。

$$V_{OUT, dm} = \left[\frac{2}{\beta_1 + \beta_2} \right] \left[\frac{V_{OCM}(\beta_1 - \beta_2) + V_{IP}(1 - \beta_1) - V_{IN}(1 - \beta_2)}{1 + \frac{2}{A(s)(\beta_1 + \beta_2)}} \right] \quad (7)$$

$\beta_1 \neq \beta_2$ の時、差動出力電圧は V_{OCM} に依存します。これは差動出力にオフセットと余分なノイズを生じるので、望ましくない結果になります。電圧帰還回路のゲイン帯域幅積 (GB 積) は一定です。興味ある事に、ゲイン帯域幅積 (GB 積) のゲインは 2 つの帰還率の平均の逆数です。

$\beta_1 = \beta_2 \equiv \beta$ の時、式 7 は式 8 のように短縮されます。

$$\frac{V_{OUT, dm}}{V_{IN, dm}} = \left[\frac{R_F}{R_G} \right] \left[\frac{1}{1 + \frac{1}{A(s)(\beta)}} \right] \quad (8)$$

これはよく知られている式です；理想的な閉ループゲインは、 $A(s) \rightarrow \infty$ の時単純な R_F/R_G になります。ゲイン帯域幅積 (GB 積) も又、ノイズゲインが $1/\beta$ になるので、ちょうど従来のオペアンプの場合のようによく知られた形になります。

帰還率がマッチングしている差動 ADC ドライバの理想的な閉ループゲインは式 9 になります。

$$A_v = \frac{V_{OUT, dm}}{V_{IN, dm}} = \frac{R_F}{R_G} \quad (9)$$

差動 ADC ドライバの重要な性能基準である出力平衡には、振幅平衡と位相平衡の 2 つの要素があります。振幅平衡は 2 つの出力の振幅がどのくらい一致しているかを表す尺度です；理想的なアンプではそれらは正確に一致しています。出力位相平衡は 2 つの出力間の位相差がどのくらい 180° に近いかを表す尺度です。出力振幅又は出力位相のどのような不平衡も出力に好ましくない同相成分を生じます。出力平衡誤差 (式 10) は差動入力信号によって生成される出力同相電圧の、(同じ入力信号によって生成される) 出力差動モード電圧に対する対数比で、デシベルで表されます。

$$\text{Output Balance Error} = 20 \log_{10} \left[\frac{\Delta V_{OUT, cm}}{\Delta V_{OUT, dm}} \right] \quad (10)$$

内部の同相帰還ループにより $V_{OUT, cm}$ が V_{OCM} 入力に印加される電圧に等しくなり、優れた出力平衡を生みます。

ADC ドライバに対する入力の終端

ADC ドライバは高速信号を処理するシステムで頻繁に使用されます。信号波長の小片以上に分離されたデバイスは信号のもとの波形を損なわないようにインピーダンス整合された電気伝送ラインで接続されなければなりません。伝送ラインの両端を特性インピーダンスで終端した時、最適な性能が得られます。ドライバは一般的に ADC の近くに配置されるのでそれらの間にインピーダンス整合した接続の必要はありませんが、しばしば ADC ドライバ入力までの信号経路が長いことがあるので、その場合適切な抵抗で終端してインピーダンス整合した接続をする必要があります。

終端抵抗 R_T をアンプ入力と並列に追加して要求される抵抗値にできるように、(差動であろうとシングル・エンドであろうと) ADC ドライバの入力抵抗は、所望の終端抵抗より大きい等しくなければなりません。ここで検討する例に出てくるすべての ADC ドライバは図 2. 図 2 に示したようにバランスのとれたフィードバック比を持つように設計されています。

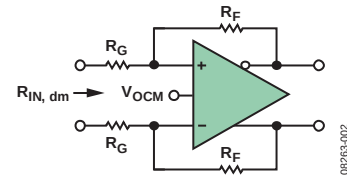


図 2. 差動アンプ入力インピーダンス

アンプの 2 つの入力間電圧は負帰還によりゼロになるように動作するので、これらは仮想的に接続され、差動入力抵抗 R_{IN} は単純な $2 \times R_G$ になります。伝送ライン抵抗 R_L に整合させるために、差動入力のために式 11 で計算した値の R_T を接続します。図 3. 図 3 に標準的な抵抗 $R_F = R_G = 200 \Omega$ 、要求される抵抗 $R_{L, dm} = 100 \Omega$ 、と $R_T = 133 \Omega$ を示します。

$$R_T = \frac{1}{\frac{1}{R_L} - \frac{1}{R_{IN}}} \quad (11)$$

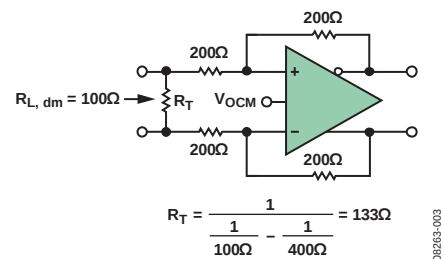


図 3. 100Ω ラインに整合

シングル・エンド入力を終端する事はより多くの努力を必要とします。図 4 はシングル・エンド入力、差動出力回路の ADC ドライバがどのように動作するかを示しています。

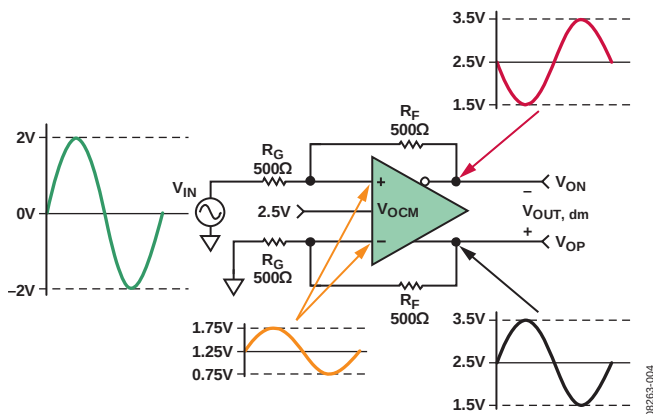


図 4.ADC ドライバへのシングル・エンド入力の例

入力はシングル・エンドですが、 $V_{IN, dm}$ は V_{IN} に等しくなります。抵抗 R_F と R_G は等しくバランスがとれているので、ゲインは 1 で、差動出力、 $V_{OP} - V_{ON}$ は入力電圧、すなわち、 $4V_{p-p}$ に等しくなります。 $V_{OUT, cm}$ は $V_{OCM} = 2.5V$ に等しく、又入力電圧 V_{A+} と V_{A-} は、下側の帰還回路のフィードバックにより、 $V_{OP}/2$ に等しくなります。

式 3 と式 4 を使うと、 $V_{OP} = V_{OCM} + V_{IN}/2$ となり $2.5V$ 基準に $\pm 1V$ 同相スウィングします。又 $V_{ON} = V_{OCM} - V_{IN}/2$ となり $2.5V$ 基準に $\pm 1V$ 逆相スウィングします。従って V_{A+} と V_{A-} は $1.25V$ 基準に $\pm 0.5V$ スウィングします。 V_{IN} から供給しなければならない電流の AC 成分は $(2V - 0.5V)/500\Omega = 3mA$ です。従って V_{IN} から見て整合をとらなければならないグラウンドに対する抵抗は、 667Ω です。

各々のループの帰還率がマッチングしている時、このシングル・エンド入力抵抗を計算する一般的な公式は式 12 で表せます。ここで $R_{IN, se}$ はシングル・エンド入力抵抗です。

$$R_{IN, se} = \left(\frac{R_G}{1 - \frac{R_F}{2(R_G + R_F)}} \right) \quad (12)$$

これは終端抵抗を計算するスタート点です。ここで、アンプ・ゲインの式は入力源インピーダンスをゼロと仮定している事に注意する事が重要です。本質的にシングル・エンド入力のために生ずる不平衡の状態で、信号源インピーダンスを整合させなければならないので、上側の R_G に抵抗を追加します。平衡を保つために、これを下側の R_G に抵抗を追加してマッチングさせなければなりません、それはゲインに影響します。

シングル・エンド信号を終端する事の問題に対して閉形式解を決めることは可能かもしれませんが、再計算法が一般的に使用されます。その必要性は次の例で明らかです。

図 5 は、シングル・エンド to 差動のゲインが 1, 入力終端抵抗が 50Ω 、そしてノイズを低く保つために、フィードバック抵抗とゲイン抵抗を約 200Ω 付近の値にしています。

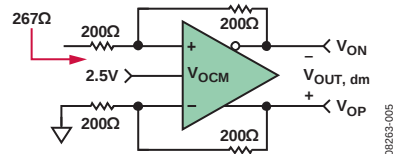


図 5.シングル・エンド入力インピーダンス

式 12 からシングル・エンド入力抵抗は 267Ω になります。式 13 から入力抵抗 267Ω を 50Ω に落とすためには、並列抵抗、 R_T を 61.5Ω にしなければならないことがわかります。

$$R_T = \frac{1}{\frac{1}{50\Omega} - \frac{1}{267\Omega}} = 61.5 \quad (13)$$

図 6 は信号源抵抗と終端抵抗を示した回路です。信号源の解放回路電圧は $2V_{p-p}$ で、信号源抵抗は 50Ω です。信号源が 50Ω に終端されると、入力電圧は $1V_{p-p}$ に減少します。これは又ユニティゲイン・ドライバの差動出力電圧になります。

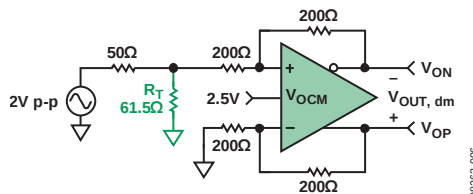


図 6.信号源と終端抵抗を加えたシングル・エンド回路

この回路は一見完全に見えますが、 50Ω と並行にミスマッチした抵抗 61.5Ω が上側の R_G のみに追加されています。これはゲインとシングル・エンド入力抵抗を変え、帰還率をミスマッチさせます。ゲインが小さいので、入力抵抗の変化は小さくしばらく無視されます、しかし帰還率はマッチングしていなければなりません。これを可能するもっとも簡単な方法は下側の R_G に抵抗を加えることです。図 7 はテブナン等価回路を示しますが、ここで前述した並列組み合わせ回路が信号源抵抗として働きます。

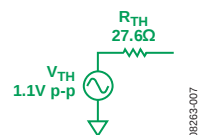


図 7.入力信号源のテブナン等価回路

図 8 に示すように、ループ帰還率をマッチングさせるために、この置き換え回路に合わせて下側ループに 27.6Ω 抵抗、 R_{TS} を追加します。

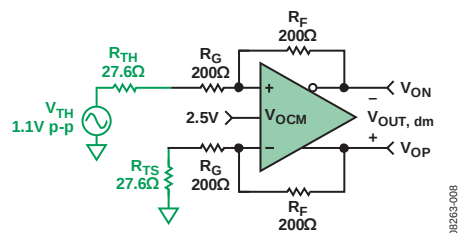


図 8.平衡シングル・エンド終端回路

1.1 V p-p のテブナン電圧は適切に終端された電圧 1 V p-p よりも大きくなり、ゲイン抵抗はそれぞれ 27.6 Ω 増えるので、閉ループゲインが減少する事に注意してください。これら出力電圧に対して相反する影響は抵抗が大きく (>1 k Ω)、ゲインが小さい(1 又は 2)場合は、互いに相殺する傾向にありますが、抵抗が小さくゲインが高い場合には完全には相殺されません。

図 8 の回路は簡単に解析する事ができ、差動出力電圧は式 14 で計算する事ができます。

$$V_{OUT, dm} = 1.1 \text{ V p-p} \left(\frac{200 \Omega}{227.6 \Omega} \right) = 0.97 \text{ V p-p} \quad (14)$$

差動出力電圧は所望の電圧 1 V p-p より多少小さくなりますが、式 15 に示したようにフィードバック抵抗を変更することにより最終的な独立したゲイン調整が可能です。

$$R_F = 227.6 \Omega \left(\frac{\text{Desired } V_{OUT, dm}}{1.1 \text{ V p-p}} \right) = 227.6 \Omega \left(\frac{1.0 \text{ V p-p}}{1.1 \text{ V p-p}} \right) = 206.9 \Omega \quad (15)$$

図 9 に完成した回路を示します。ここで使用する抵抗の値は標準 1% です。

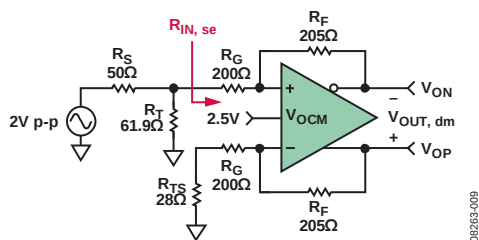


図 1. 完全シングル・エンド終端回路

図 9 の回路に関して、ドライバのシングル・エンド入力抵抗 $R_{IN, se}$ は R_F と R_G の変更により変わります。ドライバの上側ループのゲイン抵抗は 200 Ω で、下側ループのゲイン抵抗は 200 Ω + 28 Ω = 228 Ω です。ゲイン抵抗が違う場合は、 $R_{IN, se}$ の計算を行う前に式 16 と式 17 に示すように 2 つベータ値を計算する必要があります。

$$\beta_1 = \frac{R_G}{R_F + R_G} = \frac{200 \Omega}{405 \Omega} = 0.494 \quad (16)$$

$$\beta_2 = \frac{R_G + R_{TS}}{R_F + R_G + R_{TS}} = \frac{228 \Omega}{433 \Omega} = 0.527 \quad (17)$$

入力抵抗 $R_{IN, se}$ は式 18 に示すように計算します。

$$R_{IN, se} = \frac{R_G (\beta_1 + \beta_2)}{\beta_1 (\beta_2 + 1)} = 271 \Omega \quad (18)$$

この値は始めに計算した値 267 Ω とほとんど変わらず、 R_T の計算に大きな影響はありません。なぜなら $R_{IN, se}$ は R_T とは並列だからです。

もしもっと正確な全体のゲインが必要であれば、より高精度な抵抗又は直列トリム抵抗を使用する事ができます。

ここで述べた 1 度の再計算方法は閉ループゲインが 1 又は 2 の時はよく当てはまります。ゲインがさらに高い場合、 R_{TS} の値は R_G の値に近くなり、式 18 で計算した $R_{IN, se}$ の値と式 12 で計算した値の差が大きくなります。このような場合には何回かの再計算が必要です。

これは困難ではありません：最近リリースされた差動アンプ計算ツール、ADIsimDiffAmp™ と ADI Diff Amp Calculator™ はすべての厄介な仕事を行います；それらは前述の計算を数秒で行います。詳細については、www.analog.com を参照してください。

入力同相電圧範囲(ICMVR)

ICMVR は通常動作で差動アンプ入力に加える事のできる電圧範囲を規定します。差動アンプ入力に現れる電圧は ICMV, V_{acm} , 又は $V_{A\pm}$ と呼ばれています。この仕様はしばしば誤解されます。差動アンプ入力での実際の電圧を（得に入力電圧基準に）決めるのはかなり困難です。アンプ入力電圧 ($V_{A\pm}$) は変数 $V_{IN, cm}$ 、 β 、 V_{OCM} が既知の時、 β_s が異なる場合は一般的な式 19 を使い、 β_s が同じ場合は簡略化した式 20 を使って計算することができます。

$$V_{acm} \text{ or } V_{A\pm} = \frac{2\beta_1\beta_2V_{OCM} + V_{IP}\beta_2(1-\beta_1) + V_{IN}\beta_1(1-\beta_2)}{\beta_1 + \beta_2} \quad (19)$$

$$V_{acm} \text{ or } V_{A\pm} = V_{IN, cm} + \beta(V_{OCM} - V_{ICM}) \quad (20)$$

V_A は常に入力信号のスケールを小さくしたバージョンである（図 4 に示すように）事に注意してください。入力同相電圧範囲はアンプのタイプによって異なります。アナログ・デバイズ (株) の高速差動 ADC ドライバには ICMVR が電源の中心点を中心に設定されているもの

(centered) と ICMVR の中心が電源の中心点からシフトされたもの (shifted) の 2 種類の入力段構成があります。ICMVR が電源の中心点を中心に設定されている ADC ドライバは各々の電源レールから約 1 V のヘッドルームがあります。

（それ故 “centered” と呼ばれます）ICMVR の中心がシフトされた入力段には 2 つのトランジスタが追加されており、入力が $-V_S$ レールにより近くスウィングできるようになっています。図 10 は代表的な差動アンプの簡略化した入力回路を示します。（Q2 と Q3）。

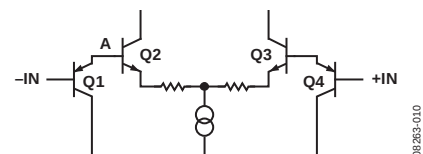


図 10. シフトされた ICMVR の簡略化した差動アンプ

ICMVR をシフトした入力回路構成の差動アンプは、例えば単電源駆動でもバイポーラ入力信号の処理が可能で、入力がグラウンド又はそれ以下になる単電源アプリケーションに十分対応できます。入りに追加した PNP トランジスタ (Q1 と Q4) により、差動ペアへ入力する入力電圧が 1 トランジスタ V_{be} 分上にシフトします。例えば $-IN$ に -0.3 V を印加した時、A 点は 0.7 V になり差動ペアが正常に動作します。PNP（入力段）が無い場合は、A 点が -0.3 V となり NPN 差動ペアが逆バイアスとなり通常動作が停止します。

表 1. 高速 ADC ドライバの仕様

ADC Driver				電源電圧(V)								Output Swing from Rails (V)	I _{SUPPLY} (mA)
				ICMVR				V _{OCM}					
製品型番	BW (MHz)	Slew Rate (V/μs)	Noise (nV)	±5 V	+5 V	+3.3 V	+3 V	±5 V	+5 V	+3.3 V	+3 V		
AD8132	350	1200	8	−4.7 to +3	0.3 to 3	0.3 to 1.3	0.3 to 1	±3.6	1 to 3.7	—	0.3 to 1	±1	12
AD8137	76	450	8.25	−4 to +4	1 to 4	1 to 2.3	1 to 2	±4	1 to 4	1 to 2.3	1 to 2	Rail to rail	3.2
AD8138	320	1150	5	−4.7 to +3.4	0.3 to 3.2	—	—	±3.8	1 to 3.8	—	—	±1.4	20
AD8139	410	800	2.25	−4 to +4	1 to 4	—	—	±3.8	1 to 3.8	—	—	Rail to rail	25
ADA4927-1/ ADA4927-2	2300	5000	1.4	−3.5 to +3.5	1.3 to 3.7	—	—	±3.5	1.5 to 3.5	—	—	±1.2	20
ADA4932-1/ ADA4932-2	1000	2800	3.6	−4.8 to +3.2	0.2 to 3.2	—	—	±3.8	1.2 to 3.2	—	—	±1	9
ADA4937-1/ ADA4937-2	1900	6000	2.2	—	0.3 to 3	0.3 to 1.2	—	—	1.2 to 3.8	1.2 to 2.1	—	±0.9	40
ADA4938-1/ ADA4938-2	1000	4700	2.6	−4.7 to +3.4	0.3 to 3.4	—	—	±3.7	1.3 to 3.7	—	—	±1.2	37
ADA4939-1/ ADA4939-2	1400	6800	2.3	—	1.1 to 3.9	0.9 to 2.4	—	—	1.3 to 3.5	1.3 to 1.9	—	±0.8	37

表 1 はアナログ・デバイセス社 ADC ドライバの多くの仕様の早見表で、どのドライバが ICMVR をシフトしたものか、どのドライバがそうでないかの特徴も含まれています。

入力結合および出力結合 : AC 又は DC

AC 結合又は DC 結合する必要がある場合には、差動 ADC ドライバの選び方が大きく違ってくる可能性があります。入力結合と出力結合では検討方法が異なります。

AC 結合入力段を図 11 に示します。

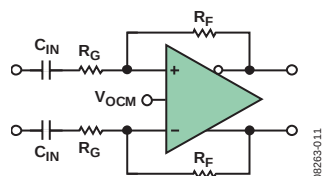


図 11.AC 結合 ADC ドライバ

AC 結合の差動 to 差動アプリケーションの場合、DC 帰還電流が入力コンデンサによって阻止されるので、アンプ入力端子に現れる DC 同相電圧は DC 出力同相電圧に等しくなります。又、DC の帰還率はマッチングしており正確に 1 に等しくなります。V_{OCM} すなわち DC 入力同相電圧はほとんどの場合 電源電圧の中間近くに設定されます。電源の中間を中心とする入力同相範囲の ADC ドライバは、入力同相電圧がその規定された範囲の中心近くになり、これらのタイプのアプリケーションで良好に動作します。

AC 結合したシングル・エンド to 差動回路はそれに相当する差動入力回路に似ていますが、アンプ入力端子に、同相リップル、入力信号の大きさが小さくなった信号が観測されます。電源の中間を中心とする入力同相範囲

(centered) の ADC ドライバは、平均入力同相電圧が規定された範囲の中間近くとなり、ほとんどのアプリケーションでリップルに必要な十分なマージンがとれます。

入力結合が選択できる場合、AC 結合入力の ADC ドライバの方が DC 同相電流がどちらの帰還ループにも流れないので、DC 結合入力の類似したドライバよりも消費電力が小さくなることに注目する価値があります。

駆動ドライバの出力可能範囲を大幅に超えるような入力同相電圧を ADC に印加しなければならない時、ADC ドライバ出力を AC 結合する事は有効です。V_{OCM} が電源中間近くに設定された時、ドライバは最大の出力振幅になります；しかしこの場合低電圧 ADC を非常に低い入力同相電圧の条件下で駆動する時、問題が現れます。この問題の簡単な解決方法はドライバ出力と ADC 入力間の接続を AC 結合して (図 12)、ドライバ出力から ADC の DC 同相電圧を取り除き、AC 結合の ADC 側に ADC に合った同相レベルを供給できるようにする事です。例えば、ドライバが電源 5V、V_{OCM} = 2.5 V で動作している場合もありますし、ADC が電源 1.8 V で、要求される入力同相電圧 0.9V を ADC CMV に印加して動作している場合もあります。

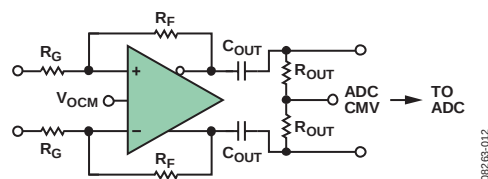


図 12.DC 結合入力、AC 結合出力接続

入力同相範囲がシフトしているドライバは、一般的に単電源駆動の DC 結合システムで最適に動作します。なぜなら出力同相電圧が帰還ループを通して分圧降下され、その変動成分がグラウンドつまり負レールに近づく可能性があるからです。シングル・エンド入力の場合、入力同相電圧は入力に関連したリップルによりさらに負のレール近くなります。両電源動作のシステムの場合は、シングル・エンド又は差動入力、AC 結合又は DC 結合のいずれの場合でも、ヘッドルームが増えるので一般的にはどちらのタイプの入力段でも良好に動作します。

表 1 表 2 に入力結合、電源電圧の各種組み合わせに使われるもっとも一般的な ADC ドライバ入力段タイプをまとめてあります。しかし、これらの選択は必ずしも最適ではないかもしれません。各々のシステムはケース・バイ・ケースで解析する必要があります。

表 1. Coupling and Input Stage Options

Input Coupling	入力信号	電源	Input Type
任意	任意	デュアル	Either
AC	Single-ended	シングル	Centered
DC	Single-ended	シングル	Shifted
AC	差動	シングル	Centered
DC	差動	シングル	Centered

出力振幅

ADC のダイナミック・レンジを最大にするには、ADC をその全入力範囲に渡って駆動する必要があります。しかし ADC を駆動するには注意が必要です。ADC をあまり大きく駆動すると、入力が破損する可能性があります；一方駆動電圧が小さいと分解能が悪くなります。ADC をその全入力範囲駆動する事は、アンプの出力がその全範囲振れなければならない事を意味しません。差動出力の主な利点は各出力の振れ幅が、従来のシングル・エンド出力の振れ幅の半分だけでよい事です。ドライバ出力を各電源レールから離れた電圧に保つ事ができるので歪みを低減できます。しかしシングル・エンド・ドライバの場合は事情が違います。ドライバの出力電圧が電源レールに近づくと、アンプは直線性を失い歪みを招きます。

mV 単位の出力電圧が要求されるようなアプリケーションに適した ADC ドライバについては表 1 を参照してください。この表にある ADC ドライバは標準ヘッドルーム範囲が（負荷により）数 mV から数百 mV のレール to レール出力です。表 1

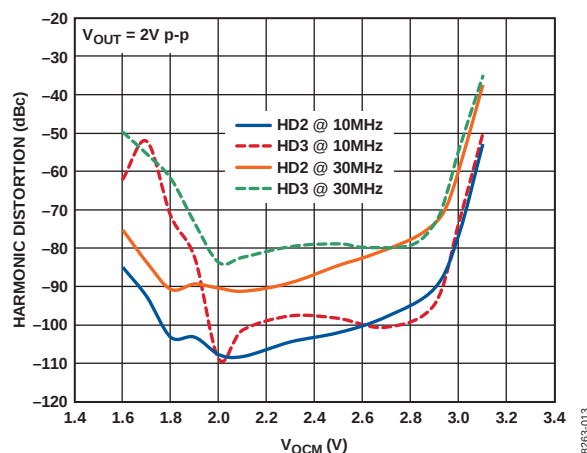


図 13. 5V 電源駆動の ADA4932 の各種周波数における高調波歪み対 V_{OCM}

図 13 は ADA4932 の各種周波数における高調波歪み対 V_{OCM} を示します。ADA4932 の標準的な出力振幅は各々の電源レールから 1.2 V 以内と規定されています。出力振幅は V_{OCM} と信号 (1 V) の V_{PEAK} との合計です。歪みは 2.8 V (3.8 V_{PEAK} , 又は 5V レールの下 1.2 V) を超えると加速度的に大きくなります。低電圧の方を見ると、2.2V (−1 V_{PEAK}) では歪みはまだ小さいです。同じタイプの現象が帯域とスルーレートについての議論で現れます。

ノイズ

ADC の不完全な部分として量子化ノイズ、電子（又はランダム）ノイズ、高調波歪みがあります。ノイズはほとんどのアプリケーションで重要な項目ですが、一般的に広帯域システムでもっとも重要な性能基準です。

すべての ADC は本質的にビット数 (n) に依存する量子化ノイズがあります；量子化ノイズはビット数を増やすごとに低減します。理想的なコンバータでも量子化ノイズは存在するので、量子化ノイズはランダムノイズ、高調波歪みを比較する時対象となるベンチマークとして使用されます。ADC ドライバからの出力ノイズは ADC のランダムノイズ、高調波歪みと同等かより低いはずで、ADC のノイズと歪みの特性評価を見直してみる事から、ADC の性能に対する ADC ドライバのノイズの評価方法を示します。

ADC は無限の分解能をもつアナログ信号を有限の数のデスクリット・レベルに量子化するので量子化ノイズは生じます。 n ビット ADC には 2^n バイナリの数のレベルがあります。1 つのレベルと次のレベルとの間の差が分解可能な最小な差を表します；これは最下位ビット (LSB)、又は量子レベル q と呼ばれています。それ故 1 量子レベルはコンバータの範囲の $1/2^n$ になります。もし変化する電圧が完璧な n ビット ADC で変換され、それを逆に変換してアナログに戻し ADC の入力信号から減算すれば、その差はノイズになるでしょう。それは次の rms 値になります。

$$RMS \text{ Quantization Noise} = \frac{q}{\sqrt{12}} = \frac{1}{2^n \sqrt{12}} \quad (21)$$

この値から、そのナイキスト帯域の n ビット ADC の信号対量子化ノイズ比の対数式(dB)を導く事ができます (式 22); これは n ビットコンバータの得られる最大の SNR です。

$$\text{信号対 量子化ノイズ比 (dB)} = 6.02n + 1.76 \text{ dB} \quad (22)$$

ADC 中のランダムノイズ (熱ノイズ、ショットノイズ、フリッカノイズの組み合わせ) は一般的に量子化ノイズよりも大きくなります。ADC の非直線性の結果生ずる高調波歪みは (高調波的に入力信号に関係した) 望ましくない信号を出力に生じます。全高調波歪みとノイズ ((THD + N)は電子ノイズと高調波歪みを ADC のフルスケール入力レンジに近いアナログ入力と比較する重要な ADC の性能指標です。電子ノイズは対象とする最後の高調波周波数までの帯域全体に渡って積分されます。式 23 で全 THD は始めの 5 つの高調波歪みを含みます。これはノイズとともに 2 乗和の平方根です。

THD + Noise =

$$\frac{\sqrt{[v_2(\text{rms})]^2 + [v_3(\text{rms})]^2 + [v_4(\text{rms})]^2 + [v_5(\text{rms})]^2 + [v_6(\text{rms})]^2 + v_n^2}}{[v_1(\text{rms})]^2} \quad (23)$$

v_1 は入力信号、 v_2 から v_6 までは 5 つの高調波歪み積、 v_n は ADC 電子ノイズです。

THD+ノイズの逆数の信号対ノイズ+歪み比 (SINAD)は通常デシベルで表します (式 24)。

$$\text{SINAD (dB)} = 20 \log_{10} \left[\frac{1}{\text{THD} + N} \right] \quad (24)$$

(式 22)で信号対量子化ノイズ比を SINAD に置き換えれば、その信号対量子化ノイズ比がその SINAD と同じとすればコンバータがもつ事ができる有効ビット数 (ENOB)を規定する事ができます (式 25)。

$$\text{SINAD (dB)} = 6.02(\text{ENOB}) + 1.76 \text{ dB} \quad (25)$$

ENOB は又式 26 に示すように SINAD に関する式で表せます。

$$\text{ENOB} = \frac{\text{SINAD (dB)} - 1.76 \text{ dB}}{6.02} \quad (26)$$

ENOB は ADC ドライバのノイズ性能を ADC のノイズ性能と比べて、ADC ドライバがその ADC を駆動するのに適しているかどうかを決めるために使用する事ができます。

図 14 に差動 ADC ノイズモデルを示します。

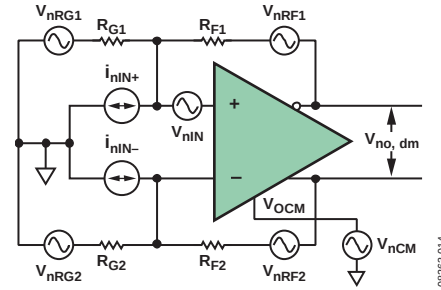


図 14. 差動 ADC ドライバのノイズモデル

8 つのノイズ源各々の全出力ノイズ密度への寄与度を一般的な場合と $\beta_1 = \beta_2 = \beta$ の場合について式 27 に示しています。

$$\begin{aligned} v_{no, dm} \text{ due to } v_{nIN} &= \frac{2v_{nIN}}{\beta_1 + \beta_2} = \frac{v_{nIN}}{\beta} \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no, dm} \text{ due to } v_{nCM} &= \frac{2v_{nCM}(\beta_1 - \beta_2)}{\beta_1 + \beta_2} = 0 \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no, dm} \text{ due to } i_{nIN+} &= \frac{2i_{nIN+}(1 - \beta_1)R_{G1}}{\beta_1 + \beta_2} = (i_{nIN+})(R_{F1}) \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no, dm} \text{ due to } i_{nIN-} &= \frac{2i_{nIN-}(1 - \beta_2)R_{G2}}{\beta_1 + \beta_2} = (i_{nIN-})(R_{F2}) \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no, dm} \text{ due to } v_{nRG1} &= \frac{(2\sqrt{4kTR_{G1}})(1 - \beta_1)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G1}} \left(\frac{R_{F1}}{R_{G1}} \right) \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no, dm} \text{ due to } v_{nRG2} &= \frac{(2\sqrt{4kTR_{G2}})(1 - \beta_2)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G2}} \left(\frac{R_{F2}}{R_{G2}} \right) \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no, dm} \text{ due to } v_{nRF1} &= \frac{2\beta_1\sqrt{4kTR_{F1}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F1}} \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no, dm} \text{ due to } v_{nRF2} &= \frac{2\beta_2\sqrt{4kTR_{F2}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F2}} \text{ for } \beta_1 = \beta_2 = \beta \end{aligned} \quad (27)$$

全出力ノイズ電圧密度 $V_{no, dm}$ はこれらの成分の二乗和の平方根を計算することにより計算されます。全出力ノイズ電圧密度を計算するには、各式をスプレッドシートに入力するのがもっともよい方法です。ノイズ、ゲイン、その他差動 ADC ドライバの現象を速く計算する ADI Diff Amp Calculator は www.analog.com で提供されています。

ここで ADC ドライバのノイズ性能は ADC の ENOB と比較することができます。5V 電源、2V フルスケール入力で動作する ADC の AD9445 を駆動するゲイン 2 の差動ドライバを例にとります；AD9445 は 50 MHz (−3 dB) 帯域（1 極フィルタで制限）を占有した直結の広帯域信号を処理します。各種条件の ENOB 仕様をリストしてあるデータシートを参照すると、ナイキスト周波数 50MHz では ENOB=12 ビットです。

ADA4939 は直結可能な高性能、広帯域差動 ADC ドライバです。ADA4939 はノイズに関しては AD9445 を駆動するのに適した ADC ドライバです。差動ゲインが約 2 の場合、データシートでは $R_F = 402 \Omega$ と $R_G = 200 \Omega$ が推奨されています。この回路構成での全出力電圧ノイズ密度は 9.7 nV/√Hz. です。

初めに、システムノイズ帯域 B_N を計算します。システムノイズ帯域 B_N は与えられた一定の入力ノイズ電力スペクトル密度のシステム帯域を決める実際のフィルタと同じノイズ電力を出力する等価長方形ローパス・フィルタの帯域です。1 極フィルタの場合、 B_N は式 28 に示すように 3dB 帯域の $\pi/2$ 倍に等しくなります。

$$B_N = \left(\frac{\pi}{2} \right) 50 \text{ MHz} = 78.5 \text{ MHz} \quad (28)$$

次に出力 rms ノイズを得るためにシステム帯域の平方根全体に渡ってノイズ密度を積算します。（式 29 を参照）

$$V_{no, dm} (\text{rms}) = (9.7 \text{ nV}/\sqrt{\text{Hz}})(\sqrt{78.5 \text{ MHz}}) = 86 \mu\text{V rms} \quad (29)$$

ノイズの振幅はガウス分布とします；従って、ピーク to ピーク・ノイズを得るのに一般的な $\pm 3\sigma$ リミット（ノイズ電圧は約 99.7%の間これらのリミット内でスウィングします。）を使用すると、ピーク to ピーク出力ノイズは次のように計算できます。

$$V_{no, dm} (\text{p-p}) \approx 6(86 \mu\text{V rms}) = 516 \mu\text{V p-p} \quad (30)$$

ここで ADC ドライバのピーク to ピーク出力ノイズを、ENOB12 ビット、フルスケール入力範囲 2V を基準とした AD9445LSB の 1 LSB 電圧（図 31 で計算しているように）とを比較します。

$$1 \text{ LSB} = 2 \text{ V}/2^{12} = 488 \mu\text{V} \quad (31)$$

ドライバからのピーク to ピーク出力ノイズは ENOB 12 ビットを基準とした ADC の LSB に匹敵します；従ってこのアプリケーションでは ADC ドライバはノイズの観点からは検討する良い候補です。最終決定はドライバと ADC の組み合わせ回路を組み立て、テストする事によりされなければなりません。

電源電圧

電源電圧と電源電流を調べる事は ADC ドライバの選択を絞る早い方法です。表 1 は電源を基準にした ADC ドライバ性能の簡単なレファレンスです。電源電圧は帯域、信号振幅、ICMVR に影響します。差動アンプの選択には、それぞれの仕様を比べ、トレード・オフを検討する事が重要です。電源電圧除去(PSR)はもう一つの重要な仕様です。アンプに対する入力として電源端子の役割はしばしば無視されます。電源ライン又はそれらに結合されるどのようなノイズも基本的に出力信号を壊す可能性があります。

例えば、ADA4947-1 の電源ラインに 60MHz で 50 mV p-p のノイズが載っている場合を考えます。その PSR は 50MHz で −70 dB です。これは電源ラインに載ったノイズがアンプ出力で約 16 μV に減衰する事を意味します。1 V フルスケール入力で 16 ビットシステムの場合 1 LSB は 15.3 μV です；従って電源ラインからのノイズは LSB を妨害します。

この状況を改善するためには、直列に SMT フェライト・ビーズ L1 と L2 と、シャント・バイパス・コンデンサ C1 と C2、（図 15 参照）を接続してください。

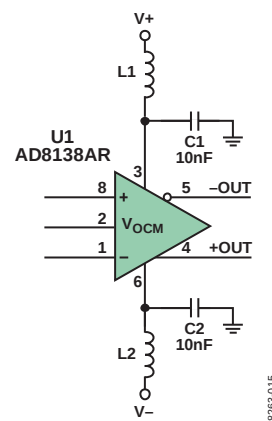


図 15. 電源のバイパス

50MHz でフェライト・ビーズのインピーダンスは 60 Ω で、10 nF (0.01 μF) コンデンサのインピーダンスは 0.32 Ω です。この 2 つの素子によって構成される減衰回路により 45.5 dB の減衰度が得られます。（式 32 を参照）

$$\text{デバイダ減衰度} = 20 \log \left(\frac{0.32}{0.32 + 60} \right) = -45.5 \text{ dB} \quad (32)$$

デバイダ減衰度と PSR −70 dB との組み合わせで約 115 dB の除去が得られます。これによりノイズは 1LSB より十分小さな約 90 nV p-p に減少します。

高調波歪み

周波数領域での低高調波歪みは狭帯域と広帯域システムの両方で重要です。ドライバの非直線性はアンプ出力でシングル・トーンの高調波歪みと複数トーンの相互変調歪みを生じます。

ノイズ解析例に使用された同じアプローチが歪み解析に適用できます。ADA4939の高調波歪みをフルスケール出力2VでENOB12ビットのAD9445の1LSBと比較します。1 ENOB LSBはノイズ解析すると488μVになります。

ADA4939の仕様表の歪みデータはゲイン2とした時の値で、各種周波数での2次高調波と3次高調波を比較しています。表2表3はゲイン2、差動出力スウィング2V p-pの条件での高調波歪みを示します。

表2. ADA4943の2次および3次高調波歪み

Parameter	Harmonic Distortion (dBc)
HD2 @ 10 MHz	-102
HD2 @ 70 MHz	-83
HD2 @ 100 MHz	-77
HD3 @ 10 MHz	-101
HD3 @ 70 MHz	-97
HD3 @ 100 MHz	-91

データは周波数が高くなるとともに高調波歪みが増える事と、対象の周波数(50MHz)ではHD2がHD3より悪い事を示しています。高調波歪み積は対象の周波数よりも周波数が高いのでそれらの振幅はシステム帯域制限により低減することができます。もしシステムに50 MHzでブリックウォール・フィルタがあれば25 MHz以上の周波数のみ対象になります。なぜならばより高い周波数の全高調波はフィルタで減衰されるからです。それでもシステムを50 MHzまで評価しました。なぜなら存在するどのフィルタも高調波を十分に減衰する事は難しく、歪み積が信号帯域内に折り返される可能性があるからです。図16は2V p-p出力として各種電源電圧についてADA4939の高調波歪み対周波数を示しています。

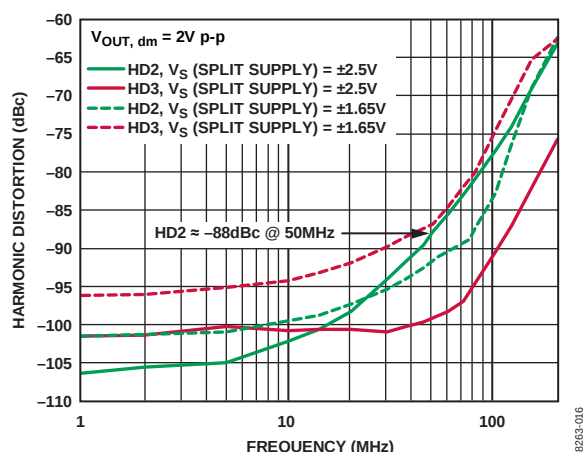


図16.高調波歪みの周波数特性

50 MHzでのHD2は入力信号2V p-pに対して約-88 dBcです。高調波歪みのレベルを1 ENOB LSBと比較するために、式33に示したようにこのレベルを電圧に変換する必要があります。

$$HD2 = (2 \text{ V p-p}) \left(10^{\frac{-88}{20}} \right) \approx 80 \mu\text{V p-p} \quad (33)$$

この歪み積はわずか80 μV p-p、又は1 ENOB LSBの16%です。このように歪みの点からADA4939はAD9445 ADCを駆動するドライバとして検討する適正な選択になります。

ADCドライバは負帰還型アンプなので、出力歪みはアンプ回路のループゲインの大きさに依存します。負帰還アンプのもともとのオープンループ歪みはファクタ $1/(1 + LG)$ 分縮小します。ここでLGはアンプのループゲインです。

アンプの入力（誤差電圧）は大きな順電圧ゲイン $A(s)$ と乗算され、帰還率 β を通して入力にフィードバックされますが、ここで誤差が最小限になるように出力電圧が調整されます。それ故、このタイプのアンプのループゲインは $A(s) \times \beta$ です；ループゲイン $A(s)$ 、 β 、又は両方が減少すると、高調波歪みが増します。積分器のような電圧帰還アンプはDCと低周波数で大きな $A(s)$ を持ち、規定された高周波でゲインが1になるまで $1/f$ でロールオフするように設計されています。 $A(s)$ はロールオフすると、ループゲインが減少し、歪みが増大します。それ故、高調波歪み特性は $A(s)$ の逆になります。

電流帰還型オペアンプは誤差電流を帰還信号として使います。誤差電流は大きなトランスインピーダンス、 $T(s)$ 、に乗算され、出力電圧に変換されます。それから帰還率 $1/R_F$ を経由して出力電圧を帰還電流に変換します。その帰還電流は入力誤差電流を最小限にするように働きます。それ故理想電流帰還アンプのループゲインは $T(s) \times (1/R_F) = T(s)/R_F$ になります。 $A(s)$ と同じように $T(s)$ は大きなDC値を持っており、周波数が高くなるとロールオフし、ループゲインが低減してきて高調波歪みが増大します。

ループゲインは又直接帰還率 $1/R_F$ に依存します。理想的な電流帰還アンプのループゲインは閉ループゲインに依存しません；それ故高調波歪み特性は閉ループゲインが増しても悪くなりません。しかし実際の電流帰還型アンプではループゲインは閉ループゲインの大きさに多少影響されます。しかしその影響度は電圧帰還型アンプよりはるかに少なくなっております。この理由により高閉ループゲインと低歪みを要求するアプリケーションには電圧帰還型アンプよりもADA4927のような電流帰還型アンプの方を選択する方がよいことがわかります。

図 17 は ADA4927 について閉ループゲインが大きくなっても、歪み特性がどのように良好に維持されているかを示しています。

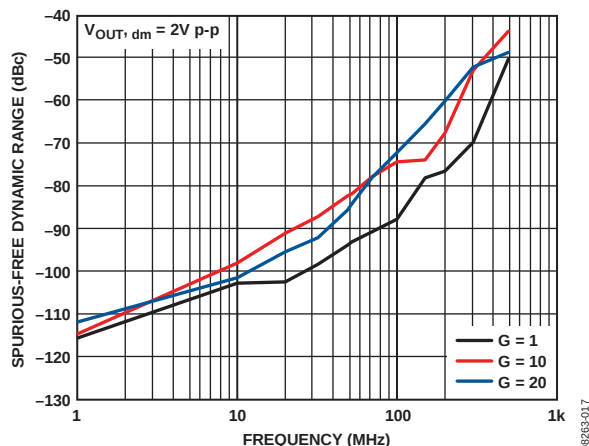


図 17. 高調波歪み対周波数特性およびゲイン

帯域とスルーレート

帯域とスルーレートは ADC ドライバアプリケーションで特に重要です。一般的にデバイスの帯域は小信号帯域です。一方スルーレートはアンプ出力での大信号振幅の最大変化率です。

ENOB に似ている用語で有効使用可能帯域(EUBW)がありますが、これは帯域の事を述べています。多数の ADC ドライバとオペアンプは帯域の仕様を誇示していますが、実際に使用可能な帯域は限られています。例えば -3 dB 帯域は帯域を評価する従来の方法ですが、すべての帯域が使用可能という意味ではありません。-3 dB 帯域の振幅誤差と位相誤差は実際のカットオフ周波数よりも 1 デケード早く観測されます。使用可能な帯域を決定するよい方法はデータシートの歪みに関するグラフを参照する事です。

図 18 は 2 次、3 次高調波歪みを -80 dBc 以上に保つには、ADC ドライバを 60 MHz 以上の周波数で使用するべきではないことを示しています。図 18. 各アプリケーションは違うので、システム条件がそのアプリケーションに対して十分な帯域と十分な歪み特性を持った適切なドライバかどうかの案内になります。

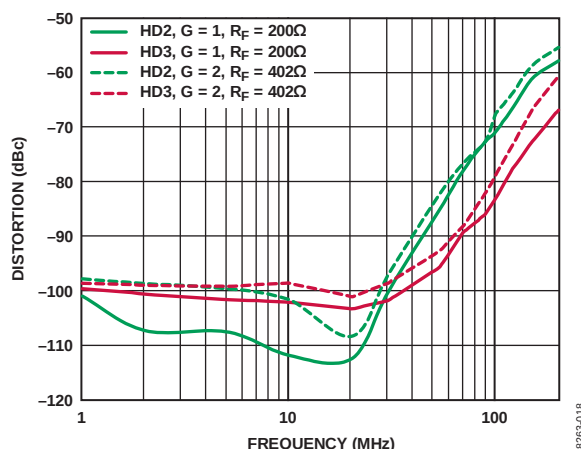


図 18.2 電流帰還 ADC ドライバ ADA4937 の歪み曲線

スルーレート (大信号パラメータ) はアンプ出力が大きな歪みを伴わないで入力に追従することのできる最大の変化率です。サイン波出力のスルーレートについて考えてみましょう。

$$V_O = V_P \sin 2\pi ft \quad (34)$$

式 34 のゼロ交差での導関数 (変化率)、最大変化率は次のとおりです。

$$\frac{dv}{dt}_{\max} = 2\pi f V_P \quad (35)$$

ここで、
 $dv/dt_{\max}$ はスルーレートです。
 V_P はピーク電圧です。

f はフルパワー帯域幅 (FPBW) です。FPBW について解くと下記の式になります、

$$FPBW = \frac{\text{Slew Rate}}{2\pi V_P} \quad (36)$$

それ故、ADC ドライバを選ぶ時にはアンプが対象アプリケーションで十分使用可能か判断するためにゲイン、帯域、スルーレート (FPBW)を確認する事が重要です。

安定性

差動 ADC ドライバの安定性に関する評価はオペアンプと同じです。主な仕様は位相余裕です。特定のアンプ回路の位相余裕はデータシートから決定されます；しかしそれは実際のシステムでは PC 基板レイアウトの寄生的な影響により大きく低減します。

負電圧帰還オペアンプの安定性はループゲイン $A(s) \times \beta$ の大きさと符号に依存します。差動 ADC ドライバには 2 つの帰還率があるので標準的なオペアンプ回路よりも多少複雑です。ループゲインは式 7 と式 8 の分母の中にあります。式 37 は帰還率がマッチングしていない ($\beta_1 \neq \beta_2$) 場合のループゲインです。

$$\text{Loop Gain} = \frac{A(s)(\beta_1 + \beta_2)}{2} \quad (37)$$

帰還率がマッチングしていない場合、有効な帰還率は単に 2 つの帰還率の平均です。それらがマッチングしていて β と規定した時、ループゲインは $A(s) \times \beta$ に簡略化できます。

帰還アンプを安定させるには、ループゲインが -1 又はそれと等価ですが -180° の位相シフトでループゲイン +1 になることを避けなければなりません。電圧帰還アンプの場合、オープン・ループ・ゲイン周波数曲線でループゲインの大きさが 1 (すなわち、0 dB) に等しい点で $A(s)$ の大きさが帰還率の逆数に等しくなります。基本的なアンプのアプリケーションでは帰還は純粋に抵抗性なので帰還ループ周辺で位相シフトは生じません。帰還率がマッチングしている場合、周波数依存性のない帰還率の逆数、 $1 + R_F/R_G$ はノイズゲインと呼ばれる事があります。デシベル表示の一定のノイズゲインをオープン・ループ・ゲイン、 $A(s)$ と同じグラフに描いた時、2 つの曲線が交差する周波数がループゲイン 1、又は 0 dB になる周波数です。その周波数での $A(s)$ の位相と -180° との間の差が位相余裕と定義されます；安定動作のためには、位相余裕は 45° に等しいか大きくなければなりません。

図 3.

図 19 は $R_F/R_G = 1$ (ノイズゲイン = 2) に設定した ADA4932 のユニティループ・ゲイン点と位相余裕について説明しています。

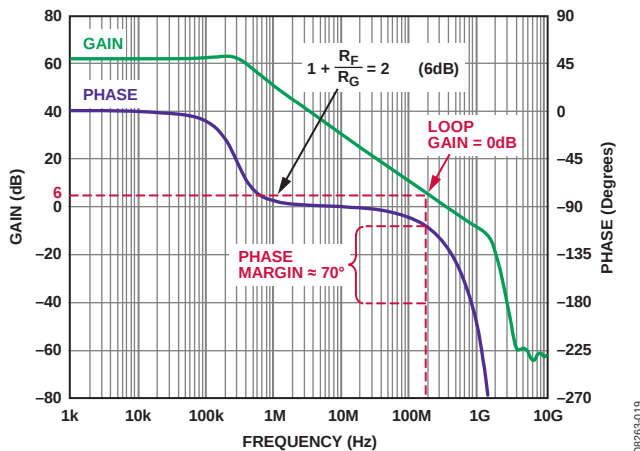


図 3. ADA4932 のオープン・ループ・ゲインの大きさおよび位相対周波数

図 19 をさらに詳しく調べると ADA4932 はノイズゲイン 1(各ループで 100% 帰還) で約 50° の位相余裕があります。ADC ドライバをゼロ・ゲインで動作させる事は現実的ではありませんが、この事は ADA4932 が整数でない差動ゲイン(たとえば $R_F/R_G = 0.25$, ノイズゲイン = 1.25)で安定動作する事を示しています。この事は全部の差動 A/D コンバータ ドライバには適用されません。安定動作する最小ゲインはすべての ADC ドライバのデータシートに記述されています。

電流帰還形 ADC ドライバの位相余裕も又オープンループ応答特性から決定されます。電流帰還型アンプの場合はフォワード・ゲインの代わりにフォワード・トランスインピーダンス $T(s)$ を使用し、誤差電流がフィードバック信号となります。フィードバック抵抗がマッチングしている電流帰還型ドライバのループゲインは $T(s)/R_F$ です；従って電流帰還型アンプのループゲインは $T(s) = R_F$ の時 1(すなわち、0dB)に等しくなります。この点はオープンループ・トランスインピーダンスと位相のグラフで(電圧帰還型アンプの場合と同じ方法で)簡単に探し出す事ができます。抵抗の 1 k Ω に対する比率をプロットする事により抵抗を対数グラフで表せます。図 4. 図 20 は $R_F = 300$ とした場合の電流帰還型差動 ADC ドライバ ADA4927 のユニティループ・ゲイン点と位相余裕について説明しています。

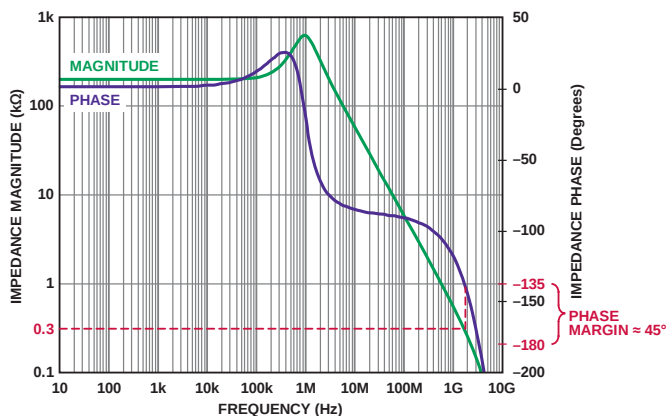


図 4. ADA4927 のオープン・ループ・ゲインおよび位相対周波数

300 Ω フィードバック抵抗の水平線がトランスインピーダンス曲線と交差する所でループゲインが 0dB になります。この周波数では $T(s)$ の位相が約 -135° となりますので、位相余裕が +45° になります。位相余裕と安定性は、 R_F が大きくなると増し、 R_F が小さくなると低減します。電流帰還型アンプにはいつも純粋な抵抗性フィードバックを用い、十分な位相余裕をもつ必要があります。

PC ボードのレイアウト

安定した ADC ドライバの設計は PC 基板で実現されなければなりません。基板の寄生要素(最小限に保たなければなりません)により位相余裕が多少失われます。特に懸念されるのが負荷容量、帰還ループ・インダクタンス、加算ノード容量です。これら各々の寄生リアクタンスにより遅延する位相シフトが帰還ループに加わり、位相マージンが低減します。PC 基板レイアウトの設計が悪いと位相マージンが 20° 又はそれ以上失われます。

電圧帰還型アンプで R_F と加算点容量で形成される極による位相シフトを最小限にするために、できるだけ小さな R_F を使うのがベストです。もし大きな R_F が必要な場合、小さな容量 C_F を各帰還抵抗間に接続する事によりその加算点容量を補償する事ができます。この場合 C_F は $R_F C_F$ が加算ノード容量の R_G 倍に等しくなるような値に設定します。

PC 基板レイアウトは必要な設計の最後のステップの一つです。高速回路の性能はレイアウトに大きく依存しますが、あいにく PC 基板レイアウトは設計でもっとも見落としがちなステップの一つです。不注意な又は貧弱なレイアウトによって高性能設計の性能低下を余儀なくさせられたり、場合によっては使用を諦めさせられる事になります。ここでは適切な高速 PC 基板設計のすべての面をカバーできませんが、いくつかの主なトピックスについて述べます。

寄生成分は高速回路の性能を低下させます。寄生容量は部品のパッド、パターン、グラウンド・プレーン又は電源プレーンによって生じます。グラウンド・プレーンのない長いパターンは寄生インダクタンスが生じ、過度応答にリングングを生じたり、他の不安定な現象をもたらします。得にアンプの加算ノードで生ずる寄生容量は大きな影響があります。なぜならそれはフィードバック応答に極をつくり、ピーキングを生じたり不安定になるからです。一つの解決方法は基板全部の層において、ADC ドライバの搭載部分とフィードバック部品のパッドの下領域にはグラウンド・プレーンや電源プレーンを設けないようにする事です。

望ましくない寄生リアクタンスを最小限にするためにすべてのパターンをできるだけ短く保ってください。FR-4PC 基板の外側層の 50 Ω パターンはおおよそ 2.8 pF/インチと 7 nH/インチあります。内側層の 50 Ω パターンの場合これらの寄生リアクタンスは約 30% 増えます。さらにパターン・インダクタンスを最小限にするために長いパターンの下にグラウンド・プレーンが有ることを確認してください。パターンを短く、小さく保つことは寄生容量と寄生インダクタンスを最小限にし、設計の完全性を維持するのに役立ちます。

電源バイパスはレイアウトを行うに際し問題となるもう一つの主な分野です；(V_{OCM} バイパス・コンデンサと同様に) 電源バイパス・コンデンサをアンプのピンのできるだけ近くに配置する事を確実に行ってください。さらに複数のバイパス・コンデンサを電源ラインに使う事は、広帯域ノイズに対して低インピーダンス・パスにする事を確実にする助けになります。図 21 は電源バイパスと出力にローパス・フィルタを接続した標準的な差動アンプ回路です。図 21. ローパス・フィルタは帯域と ADC に入るノイズを制限します。理想的には電源バイパス・コンデンサのリターンは負荷リターンの近くにあることです；これはグラウンド・プレーンの中の還流電流を減らし ADC ドライバ性能を改善する助けになります。(図 22 参照)

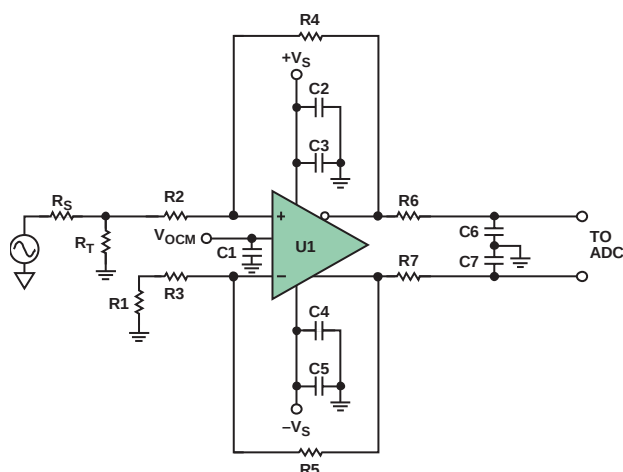


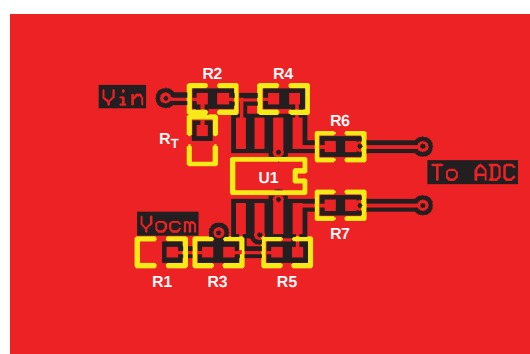
図 21. 電源バイパスと出力ローパス・フィルタを接続した ADC ドライバ

グラウンド・プレーンの使用や一般的な接地方法は複雑で内容が深いテーマなのでこのアプリケーション・ノートの範囲外です。しかし、いくつかの主なポイントを次に述べます。(図 22 参照)

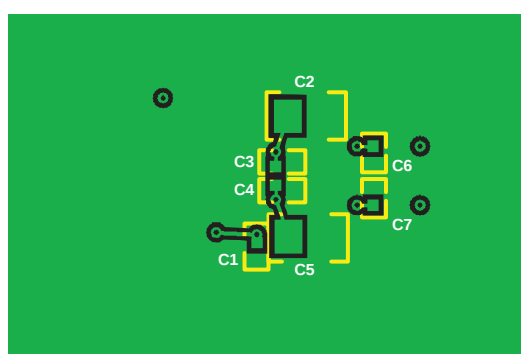
- アナログ・グラウンドとデジタル・グラウンドとを共に 1 点で接続してください。そのようにすればグラウンド・プレーンを流れるアナログ電流とデジタル電流の相互作用（これがシステムにノイズを招きます。）を最小限にする事ができます。
- アナログ電源をアナログ電源プレーンに終端し、デジタル電源をデジタル電源プレーンに終端してください。
- ミックスド・シグナル IC の場合、デジタル電流とアナログ電流が混じ合わないよう、アナログ・グラウンド・リターンをアナログ・グラウンド・プレーンに終端し、デジタル・グラウンド・リターンをデジタル・グラウンド・プレーンに終端し、2つのプレーンを共に 1つの小さな接続だけで接続してください。(図 23 参照)

高速プリント基板(PCB)レイアウトについての詳細な説明は www.analog.com の "A Practical Guide to High-Speed Printed-Circuit-Board Layout" を参照してください。

このアプリケーション・ノートの情報は ADC ドライバを使って回路設計をする時、考慮しなければならない多数の課題について考えるお手伝いをするのが目的です。プロジェクトの初めに差動アンプについて理解し、ADC ドライバの設計の詳細に注意を払う事は将来の問題を最小限に抑え、リスクを減らし、堅牢な設計を確かなものとしします。



(a)



(b)

図 22. 部品側(a), 回路側(b)

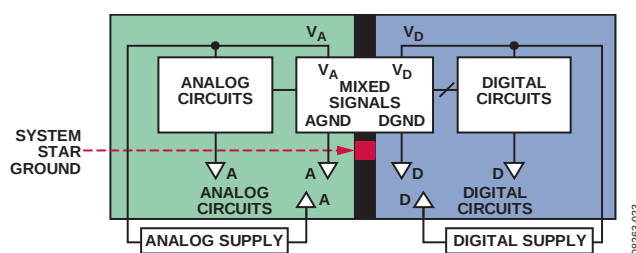


図 23. ミックスド・シグナルの接地

ノート

ノート

ノート